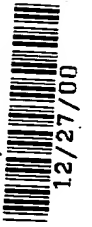


#  
2

JC841 U.S. PTO  
09/752615



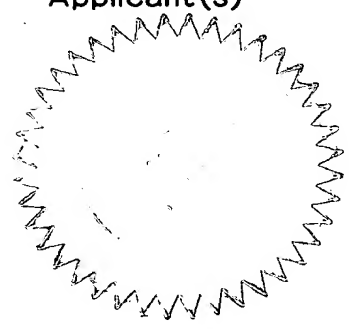
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원 번호 : 특허출원 1999년 제 65073 호  
Application Number

출원 년 월 일 : 1999년 12월 29일  
Date of Application

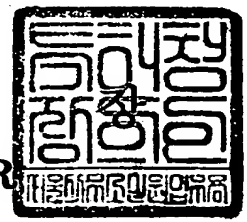
출원 인 : 삼성전자 주식회사  
Applicant(s)




2000 년 02 월 07 일

특 허 청

COMMISSIONER



【서류명】	특허출원서	jc841 U.S. PTO 09/752615  12/27/00
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0007	
【제출일자】	1999. 12. 29	
【국제특허분류】	G11C	
【발명의 명칭】	채널 버스 라인의 특성 열화를 방지하는 출력 드라이버 및 이를 내장한 반도체 메모리 장치들을 장착하는 메모리 모듈	
【발명의 영문명칭】	Output driver preventing degradation of channel bus line and memory module mounted semiconductor devices having thereof	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	이영필	
【대리인코드】	9-1998-000334-6	
【포괄위임등록번호】	1999-009556-9	
【대리인】		
【성명】	정상빈	
【대리인코드】	9-1998-000541-1	
【포괄위임등록번호】	1999-009617-5	
【대리인】		
【성명】	곽덕영	
【대리인코드】	9-1998-000630-5	
【포괄위임등록번호】	1999-009616-8	
【발명자】		
【성명의 국문표기】	임성민	
【성명의 영문표기】	YIM, Sung Min	
【주민등록번호】	660210-1226533	
【우편번호】	459-010	
【주소】	경기도 평택시 서정동 827-4 금호아파트 103동 1507호	
【국적】	KR	

**【발명자】****【성명의 국문표기】**

한규한

**【성명의 영문표기】**

HAN, Kyu Han

**【주민등록번호】**

660201-1037118

**【우편번호】**

440-320

**【주소】**

경기도 수원시 장안구 율전동 삼성아파트 205동 203호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

곽덕영 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

1 면 1,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

9 항 397,000 원

**【합계】**

427,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

채널 버스 라인의 특성 열화를 방지하는 출력 드라이버 및 이를 내장한 반도체 메모리 장치들을 장착하는 메모리 모듈이 개시된다. 본 발명은 행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 DQ 블록을 다수개 가지고, DQ 블록의 메모리 셀 데이터들은 출력 드라이버를 통하여 데이터 입출력 라인으로 전송되는 반도체 메모리 장치에 있어서, 출력 드라이버는 접지 전압에 연결되며 선택되는 DQ 블록의 메모리 셀 데이터에 응답하는 제1 트랜지스터와, DQ 블록을 선택하는 칼럼 사이클 신호 또는 데이터 입출력 라인 특성에 대한 캘리브레이션(calibration) 정보를 갖는 독출 제어 신호에 선택적으로 응답하여 제1 트랜지스터를 데이터 입출력 라인으로 연결시키는 제2 트랜지스터를 구비하며, 제2 트랜지스터가 칼럼 사이클 신호에 응답하는 경우, 선택된 DQ 블록의 메모리 셀 데이터는 제1 및 제2 트랜지스터를 통하여 데이터 입출력 라인으로 전송하는 것을 특징으로 한다. 따라서, 본 발명은 선택적으로 활성화되는 채널 인에이블 신호에 의하여 이와 연결되는 DQ 블록의 출력 드라이버 내 제2 트랜지스터만이 '턴-온'되어 채널 버스 라인과 연결되기 때문에, 채널 버스 라인의 특성이 열화됨이 없이 채널 버스 라인의 데이터 전송이 가능하다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

채널 버스 라인의 특성 열화를 방지하는 출력 드라이버 및 이를 내장한 반도체 메모리 장치들을 장착하는 메모리 모듈{Output driver preventing degradation of channel bus line and memory module mounted semiconductor devices having thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 채널 버스 라인들을 공유하는 램버스 디램들을 장착한 일반적인 램버스 모듈을 나타내는 도면이다.

도 2는 도 1의 채널 버스 라인에 연결되는 각 램버스 디램들 내의 출력 드라이버를 나타내는 도면이다.

도 3은 도 1의 램버스 디램의 내부 블록을 개략적으로 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 출력 드라이버를 구체적으로 나타내는 도면이다

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 채널 버스 라인의 특성 열화를 방지하는 출력 드라이버 및 이를 내장한 반도체 메모리 장치들을 장착하는 메모리 모

들에 관한 것이다.

<7>       최근에, 컴퓨터 시스템의 성능 향상을 위해서 CPU의 동작 속도 향상과 더불어, CPU가 요구하는 데이터, 프로그램 등을 저장하기 위한 메모리 장치의 성능 향상이 요구된다. 메모리 장치의 성능을 향상시키기 위해서는 단위 시간당 전송되는 입출력 데이터량 (bandwidth)을 증가시켜야 하는 데, 입출력 데이터량을 증가시키는 방법으로는 입출력 데이터 비트 수를 증가시키거나 액세스 속도를 증가시키는 방법이 있다. 전자의 방법으로 구현되는 대표적인 예로 EDO DRAM(Extended Data Output DRAM), SDRAM(Synchronous DRAM)을 들 수 있고, 후자의 방법으로 구현되는 대표적인 예로는 램버스 디램(Rambus DRAM: 이하 'RDRAM'이라 칭함)을 들 수 있다. 램버스 디램에서 한번에 읽거나 쓰는 데이터량은 DQ 핀들(DQA0~DQA8, DQB0~DQB8)의 수에 직접적으로 영향을 받으며  $\times 16$  또는  $\times 18$  등의 데이터 입출력 규정으로 정의된다.

<8>       램버스 디램은 외부적으로는 1.25ns(800MHz)에 2 바이트(byte)씩 4사이클(cycle) 동안 총 16 바이트의 데이터를 전송하게 되고 내부적으로는 100MHz의 속도로  $\times 28$ ,  $\times 44$ 로 입출력 동작을 수행한다. 그래서, 기입 동작 시에는 직렬-에서-병렬(serial-to-parallel prefetch) 방식의 디믹스(Demux) 동작으로 외부  $\times 16$  데이터 비트를 내부  $\times 28$  데이터 비트로 전송하고, 독출 동작시에는 병렬-에서-직렬(parallel-to-serial prefetch) 방식의 믹스(Mux) 동작으로 내부  $\times 28$  데이터 비트를 외부  $\times 16$  데이터 비트로 전송시킨다.

<9>       한편, 램버스 디램의 DQ 핀들(DQA0~DQA8, DQB0~DQB8)은 램버스 모듈(Rmodule) 상의 채널 버스 라인들(channel bus lines)에 연결되는 데, 램버스 모듈(Rmodule) 상에는 다수의 램버스 디램들이 장착되어 채널 버스 라인들을 공유하게 된다. 이를 도면으로 나타

내면 도 1과 같다. 도 1의 램버스 모듈(5)에서 램버스 메모리 컨트롤러(10)와 각 램버스 디램(11,12,13,14)은 채널 버스 라인들(C\_DQA0 ~ C\_DQB7)을 통하여 상호 작용된다. 이 채널 버스 라인들(C\_DQA0 ~ C\_DQB7)은 일명 램버스 신호 레벨(RAMBUS SIGNAL LEVEL:RSL)이라 불리는 입출력 타입(type)을 만족시키기 위하여, 출력 저항값( $R_{OL}$ )을 조정하여 출력 전류( $I_{OL}$ )를 적정 범위로 유지시키고 온도 변화에 따른 출력 데이터의 슬루 레이트(slew rate)를 맞추는 출력 드라이버에 의하여 신호 보존(signal integrity) 특성을 가진다. 예로서, 하나의 채널 버스 라인(C\_DQA0)과 연결되는 각 램버스 디램들(11,12,13,14) 내의 출력 드라이버들은 도 2에 도시되어 있다.

<10> 도 2에서, 출력 드라이버들(21,22,23,24)은 출력 드라이버 인에이블 신호들(Vgate1 ~ VgateN) 및 각 램버스 디램들(11,12,13,14) 내 DQA0 블록들에서 제공되는 메모리 데이터들(DATA1 ~ DATAN)에 응답하는 데, 출력 드라이버 인에이블 신호들(Vgate1 ~ VgateN)은 램버스 메모리 컨트롤러(10, 도 1)에서 제공되는 제어 신호들, 디바이스 ID(DEVID) 등에 의하여 동시에 활성화된다. 이에 반하여 메모리 데이터들(DATA1 ~ DATAN)은 램버스 디램들(11,12,13,14) 중 선택되는 램버스 디램(예로서, 11)에서 제공되는 메모리 데이터(DATA1) 하나만이 활성화된다. 그리하여, 선택된 램버스 디램(11)의 메모리 데이터(DATA1)는 채널 버스 라인(C\_DQA0)과 연결된다.

<11> 그런데, 출력 드라이버들(21,22,23,...,24) 내 동시에 활성화되는 출력 드라이버 인에이블 신호들(Vgate1 ~ VgateN)에 의하여 '턴-온'되는 트랜지스터들(M11,M21,M31,...,MN1)은 채널 버스 라인(C\_DQA0)에서 바라보는 커패시턴스(capacitance)를 크게 한다. 이에 따라 이후에 선택되는 램버스 디램에서 출력되는 메모리 데이터는 증가된 커패시턴스를 충전시키면서 자신의 데이터 값을 채널 버스 라인

(C\_DQA0)으로 전달해야 한다. 그리하여, 채널 버스 라인(C\_DQA0) 상의 데이터는 그 해당 전압의 스윙(swing) 폭이 감소된다. 게다가, 채널 버스 라인(C\_DQA0)을 공유하는 램버스 디램들의 수가 증가함에 따라서는 채널 버스 라인(C\_DQA0)의 VIL/VIH(input logic low voltage/input logic high voltage) 특성, tSS/tSH(input setup time/input hold time) 특성 또는 온도( $t_{Q_{MIN/MAX}}$ ) 특성을 열화시킨다.

<12> 따라서, 비록 채널 버스 라인을 공유하는 램버스 디램의 수가 증가하더라도 채널 버스 라인의 특성 열화를 방지할 수 있는 출력 드라이버 및 메모리 모듈이 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 본 발명의 목적은 채널 버스 라인 상의 특성 열화를 방지하는 출력 드라이버를 제공하는 것이다.

<14> 본 발명의 다른 목적은 상기 출력 드라이버를 내장하는 반도체 메모리 장치들을 장착하는 메모리 모듈을 제공하는 것이다.

**【발명의 구성 및 작용】**

<15> 상기 목적을 달성하기 위한 본 발명은 행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 DQ 블록을 다수개 가지고 상기 DQ 블록의 상기 메모리 셀 데이터들은 출력 드라이버를 통하여 데이터 입출력 라인으로 전송되는 반도체 메모리 장치에 있어서, 상기 출력 드라이버는 접지 전압에 연결되며, 선택되는 상기 DQ 블록의 상기 메모리 셀 데이터에 응답하는 제1 트랜지스터; 및 상기 DQ 블록을 선택하는 칼럼 사이클 신호 또는 상기 데이터 입출력 라인 특성에 대한 캘리브레이션(calibration) 정보를 갖는 독출 제어 신호에 선택적으로 응답하여 상기 제1 트랜지스터를 상기 데이터 입출력 라인으로 연



결시키는 제2 트랜지스터를 구비하며, 상기 제2 트랜지스터가 상기 칼럼 사이클 신호에 응답하는 경우, 상기 선택된 DQ 블록의 상기 메모리 셀 데이터는 상기 제1 및 제2 트랜지스터를 통하여 상기 데이터 입출력 라인으로 전송하는 것을 특징으로 한다.

<16> 바람직하기로는, 선택되지 않은 상기 DQ 블록들에 속하는 상기 출력 드라이버들의 상기 제2 트랜지스터들은 '턴-오프'되는 것이 적합하다.

<17> 상기 다른 목적을 달성하기 위한 본 발명은 행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 DQ 블록을 다수개 가지고 상기 DQ 블록의 상기 메모리 셀 데이터들은 출력 드라이버들을 통하여 데이터 입출력 라인들로 전송되는 반도체 메모리 장치들을 장착하여, 상기 데이터 입출력 라인들에 공유되는 채널 버스 라인들을 갖는 메모리 모듈에 있어서, 어느 하나의 상기 반도체 메모리 장치에서는 상기 DQ 블록을 선택하는 칼럼 사이클 신호에 응답하여 활성화되는 상기 출력 드라이버를 통해 상기 선택된 DQ 블록의 상기 메모리 셀 데이터가 상기 데이터 입출력 라인을 거쳐 상기 채널 버스 라인으로 전달되되, 상기 채널 버스 라인을 공유하는 나머지 상기 반도체 메모리 장치들 내 출력 드라이버들은 비활성화되며, 상기 출력 드라이버는 접지 전압에 연결되어 상기 메모리 셀 데이터에 응답하는 제1 트랜지스터; 및 상기 칼럼 사이클 신호 또는 상기 데이터 입출력 라인의 특성에 대한 캘리브레이션(calibration) 정보를 갖는 독출 제어 신호에 선택적으로 응답하여 상기 제1 트랜지스터를 상기 데이터 입출력 라인으로 연결시키는 제2 트랜지스터를 구비하는 것을 특징으로 한다.

<18> 이와 같은 본 발명은 선택적으로 활성화되는 채널 인에이블 신호에 의하여 이와 연결되는 DQ 블록의 출력 드라이버 내 제2 트랜지스터만이 '턴-온'되어 채널 버스 라인과 연결되기 때문에, 종래의 기술과는 달리 채널 버스 라인의 특성이 열화됨이 없이 채널

버스 라인 상의 데이터 전송이 가능하다.

<19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다. 본 발명은 최근에 널리 사용되고 있는 램버스 디램에 대하여 기술된다. 특별히,  $\times 16$  입출력 규정을 갖는 다수개의 램버스 디램들이 램버스 모듈 상에 장착되어 채널 버스 라인들을 공유하는 데 있어서, 채널 버스 라인들에 연결되는 출력 드라이버에 대하여 기술된다.

<20> 도 3은 도 1의 램버스 모듈(5) 내에 장착되는 다수개의 램버스 디램들 중 하나의 램버스 디램을 예로 들어, 그 내부 블록들을 개략적으로 나타내는 도면이다. 도 1에서 램버스 디램들(11,12,13,14)은 8개로 구성된다고 가정하자.

<21> 램버스 디램은 일반적으로 행방향으로 다수개의 뱅크들이 배열되고 각 뱅크의 열방향으로는 일군의 데이터 라인들을 공유하는 DQ 블록들로 구성된다. 도 3에 도시되어 있는 램버스 디램(11)은 크게 2개의 DQ 블록 그룹(DQA,DQB)으로 구성되고, DQ 블록 그룹(DQA,DQB) 각각에는 8개의 DQ 블록들(DQA0~DQA7, DQB0~DQB7)로 이루어진다. 각각의 DQ 블록(DQA0,DQA1,...,DQA7,DQB0,DQB1,...,DQB7)에서 제공되는 8개의 데이터 라인들은 인터페이스 로직을 통하여 파이프라인(pipeline) 방식으로 연결된다. 여기에서, 각 DQ 블록(DQA0,DQA1,...,DQA7,DQB0,DQB1,...,DQB7)에서 제공되는 데이터 라인의 수는 램버스 디램의 메모리 아키텍처(architecture)에 따라 다양한 수의 데이터 라인들로 구성될 수 있음은 물론이다.

<22> 램버스 디램(11)에서 각 DQ 블록들(DQA0,DQA1,...,DQA7,DQB0,DQB1,...,DQB7)에서 제공되는 8개의 데이터 라인들은 칼럼 사이클 신호들(COLCYC

<7:0>)에 응답하여 해당 데이터 라인들의 데이터를 저장하는 데이터 레지스터(30)에 연결된다. 칼럼 사이클 신호들(COLCYC<7:0>)은 램버스 메모리 컨트롤러(10, 도 1)에서 제공되는 디바이스 ID와 칼럼 오퍼레이션 패킷(column operation packet:COLC packet)에 대하여 전송 동작(transmission operation) 및 독출/기입 동작을 수행하는 로직 블록들(미도시)을 통하여 발생하는 클럭 인에이블 신호(CKE)와 내부 클럭 신호들(CK\_func<2:0>)을 조합하는 디코더(20)에 의하여 발생된다. 8개의 칼럼 사이클 신호들(COLCYC<7:0>) 중 어느 하나의 칼럼 사이클 신호(COLCYC<0>)는 DQA 블록 그룹 내 DQA0 블록에, 그리고, DQB 블록 그룹 내 DQB0 블록에 각각 연결된다. 때문에, 하나의 칼럼 사이클 신호(COLCYC<0>)에 응답해서는 2개의 DQ 블록들(DQA0,DQB0)에서 제공되는 데이터들이 데이터 레지스터들(30,32)에 저장된다.

<23> 이 후, 데이터 레지스터들(30,32)에 저장된 데이터 비트들은 클럭 신호(미도시)에 응답하여 순차적으로 앞단의 데이터를 다음단으로 전달시키면서 데이터를 내보내는 일련의 동작으로 수행하는 파이프 라인(40,42)에 전달된다. 그리고, 파이프 라인들(40,42)의 출력 데이터들(DATA)는 출력 드라이버를 통하여 채널 버스 라인(C\_DQA0,C\_DQB0)으로 전송된다. 그리하여, 하나의 램버스 디램(11)에서 2개의 데이터가 채널 버스 라인(C\_DQA0,C\_DQB0)으로 실리게 된다.

<24> 마찬가지로, 이러한 동작은 도 1의 나머지 램버스 디램들(12,13,14)에서도 일어나는 데, 램버스 디램(11)과는 다른 2개의 DQ 블록들이 각각 선택되어 그 해당 DQ 블록의 데이터들이 채널 버스 라인들(40,42)으로 전송되는 동작으로 일어난다. 따라서, 도 1의 8개 램버스 디램들(11,12,13,14) 각각이 2개의 채널 버스 라인들과 연결되어 16개의 채널 버스

라인들(C\_DQA0 ~C\_DQA7, C\_DQB0 ~ C\_DQB7)로 데이터를 전송하게 된다. 그러므로, 16의 데이터 입출력 규정에 잘 부합된다. 이러한 동작을 소위 인터리브 디바이스 모드(interleave device mode)라고 일컫는다.

<25> 도 3의 램버스 디램(11) 내 출력 드라이버들은 도 4에 도시되어 있다. 도 4의 출력 드라이버들(50,51)은 DQA0 블록과 DQA7 블록에 각각 연결되는 예를 나타낸다. 출력 드라이버들(50,51)의 마지막 단(70,71)은 도 2의 출력 드라이버(21)와 동일한 구성으로 이루어진다. 즉, 제1 트랜지스터들(M12\_A0,M12\_A7)에는 DQA0 블록의 데이터(DATA1\_A0)가, DQA7 블록의 데이터(DATA1\_A7)가 각각 연결되는 데, 이들 DQA 블록들 중 선택되는 어느 하나의 DQ 블록(예로서, DQA0 블록)의 데이터(DATA1\_A0)만이 활성화된다. 이는 앞서 설명한 칼럼 사이클 신호들(COLCYC<7:0>)에 응답하여 해당 DQ 블록(DQA0)의 데이터 라인들의 데이터가 데이터 레지스터(30, 도 3) 및 파이프 라인(40, 도1)을 통해 데이터 출력되는 일련의 동작과 연관된다는 것으로 명백하다. 그러나, 제2 트랜지스터들(M11\_A0,M11\_A7)에는 채널 인에이블 신호들(envg0, envg7)이 각각 연결되는 데, 채널 제어부들(60,61)에서 제공된다.

<26> 채널 제어부들(60,61)은 출력 드라이버 인에이블 신호(Vgate), 칼럼 사이클 신호들(COLCYC<7:0>), 출력 드라이버의 캘리브레이션(calibration) 정보를 갖는 독출 조정 신호(READ\_EN), 클럭 인에이블 신호(CKE) 및 전류 제어 비트(CCNTL)에 응답하여 채널 인에이블 신호(envg0,envg7)를 선택적으로 발생한다. 출력 드라이버 인에이블 신호(Vgate)는 램버스 메모리 컨트롤러(10, 도 1)에서 제공되는 제어 신호들, 디바이스 ID(DEVID) 등에 의하여 램버스 디램들(11,12,13,14, 도 1) 내부에서 동시에 활성화되는 신호로서, 이는 종래와 동일하다. 출력 드라이버의 캘리브레이션(calibration)이란 캘리

브레이션 명령에 결부되어 온도 변화에 따른 출력 드라이버의 슬루 레이트(slew rate)를 조정하는 것을 의미하고, 전류 제어 비트(CCNTL)는 캘리브레이션 명령에 연관되어 램버스 신호 레벨(RSL)을 맞추는 적정 범위의 출력 전류  $I_{OL}$ 을 유지토록 처리(transaction)됨을 의미한다.

<27> DQA0 블록의 출력 드라이버(50) 내 채널 제어부(60)는 클럭 인에이블 신호(CKE)에 응답하여 칼럼 사이클 신호(COLCYC<0>)와 독출 조정 신호(READ\_EN)와의 논리곱(AND) 신호를 채널 인에이블 신호(envg0)로 전달할 건지 아니면 독출 조정 신호(READ\_EN)를 채널 인에이블 신호(envg0)로 전달할 건지를 결정한다. 구체적으로, 머스부(80)는 클럭 인에이블 신호(CKE)에 응답하여 칼럼 사이클 신호(COLCYC<0>)와 독출 조정 신호(READ\_EN)와의 논리곱(AND) 신호 또는 독출 조정 신호(READ\_EN)를 선택하고, 그 결과를 캘리브레이션 처리부(90)로 전달한다.

<28> 예를 들어, 클럭 인에이블 신호(CKE)의 로직 '하이레벨'에 응답하여 로직 '하이레벨'의 칼럼 사이클 신호(COLCYC<0>)와 독출 조정 신호(READ\_EN)와의 논리곱(AND) 신호가 선택되었다고 가정하자. 그러면, 칼럼 사이클 신호(COLCYC<0>)와 독출 조정 신호(READ\_EN)와의 논리곱(AND) 신호 로직 '하이레벨'은 캘리브레이션 처리부(90)을 통하여 채널 인에이블 신호(envg0)로 전달되어 이와 연결되는 제2 트랜지스터(M11\_A0)가 '턴-온'된다. 이에 반하여, 칼럼 선택 신호(COLCYC<0>)에 의해 선택된 DQA0 블록 이외의 나머지 DQA 블록들의 출력 드라이버들(51 포함)에서는 칼럼 사이클 신호들(COLCYC<7:1>)가 로직 '로우레벨'로 비활성화 상태이므로, 비록 클럭 인에이블 신호(CKE)의 활성화에 응답하여 칼럼 사이클 신호(COLCYC<7:1>)와 독출 조정 신호(READ\_EN)와의 논리곱(AND) 신호가 각각 선택되더라도 이에 해당되는 논리값은 로직 '로우레벨'이다. 그리하여 채널 인에이블 신호

들(envg7 포함)은 로직 '로우레벨'로 비활성화되어 이와 연결되는 제2 트랜지스터들(M11\_A7 포함)은 '턴-오프'된다.

<29> 따라서, DQA 블록 내에서는 칼럼 선택 신호(COLCYC<0>)에 의해 선택된 DQA0 블록과 연결되는 채널 인에이블 신호(envg0)만이 활성화되어 DQA0 블록의 데이터(DATA1\_A0)는 이에 '턴-온'되는 제1 트랜지스터(M12\_A0) 및 제2 트랜지스터(M11\_A0)를 통해 채널 버스 라인(C\_DQA0)으로 전송한다. 이와 마찬가지로, DQB 블록에서도 칼럼 선택 신호(COLCYC<0>)에 의해 선택된 DQB0 블록(도 3 참조)과 연결되는 채널 인에이블 신호(envg0, 미도시)만이 활성화되어 DQB0 블록의 데이터를 채널 버스 라인(C\_DQB0)으로 전송함은 물론이다.

<30> 그러므로, 칼럼 선택 신호(COLCYC<0>)에 의해 선택되는 DQA0 및 DQB0 블록의 데이터들이 이에 해당되는 채널 인에이블 신호들(envg0) 만의 활성화에 응답하여 채널 버스 라인(C\_DQA0, C\_DQB0)으로 전송되는 동작이 도 1의 나머지 램버스 디램들(12,13,14)에서도 일어난다. 다시 말하여, 램버스 디램(11)과는 다른 2개의 DQ 블록들을 선택하는 칼럼 사이클 신호들(COLCYC<7:1>)에 응답하여 활성화되는 채널 인에이블 신호들(envg0 제외)에 의하여 도 1의 나머지 램버스 디램들(12,13,14) 각각이 2개의 채널 버스 라인들과 연결된다. 결과적으로, 램버스 모듈(도 1) 내 8개의 램버스 디램들(11,12,13,14)이 16개의 채널 버스 라인들(C\_DQA0 ~C\_DQA7, C\_DQB0 ~ C\_DQB7, 도 1)로 데이터를 전송하여 x16의 데이터 입출력 규정으로 동작한다.

<31> 이와같이, 일단 하나의 램버스 디램(11, U1) 내에서 선택적으로 활성화되는 채널 인에이블 신호들(envg0 ~envg7)에 의해 선택되는 DQ 블록, 예로서 DQA0 블록이 채널 버스 라인(C\_DQA0)과 연결되는 것이 수행되어지면, 도 2의 램버스 디램들( 내의 DQA0 블록

들에 공유되는 채널 버스 라인(C\_DQA0)의 입장에서는 괄호안에 표시된 채널 인에이블 신호들(envg0) 중 램버스 디램(U1)에 속하는 채널 인에이블 신호(envg0)만이 활성화되고 나머지 램버스 디램들(U2,U3,UN)에 속하는 채널 인에이블 신호들(envg0)은 비활성화이다.

<32>        그러므로, 종래의 동시에 모두 활성화되는 출력 드라이버 인에이블 신호들(Vgate1,Vgate2,...,VgateN, 도 2)에 의하여 제2 트랜지스터들(M11,M21,M31,MN1)이 '턴-온'되어 증가되는 커패시턴스 때문에 채널 버스 라인(C\_DQA0)의 특성이 왜곡되는 것에 비하여, 도 2의 괄호안에 표시된 채널 인에이블 신호(envg0)는 램버스 디램들(U1,U2,U3,...,UN) 중 하나의 램버스 디램(예로서 U1)에서만 활성화되어 이와 연결되는 제2 트랜지스터(M11)만이 '턴-온'되어 커패시턴스가 증가되지 않기 때문에 채널 버스 라인(C\_DQA0)의 특성이 왜곡되지 않는다.

<33>        한편, 텍스부(80)에서 클럭 인에이블 신호(CKE)의 로직 '로우레벨'에 응답하여 독출 조정 신호(READ\_EN)의 로직 '하이레벨'이 선택되었다고 가정하면, 채널 인에이블 신호들(envg0 ~ envg7)은 모두 로직 '하이레벨'로 활성화된다. 이는 기존의 출력 인에이블 신호들(Vgate1 ~ VgateN)이 동시에 활성화되는 구조와 동일하다. 그러므로, 본 발명의 출력 드라이버는 기존 방식으로 구동 가능하다는 것을 의미한다.

<34>        본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<35> 상술한 본 발명에 의하면, 선택적으로 활성화되는 채널 인에이블 신호에 의하여 이와 연결되는 DQ 블록의 출력 드라이버 내 제2 트랜지스터만이 '턴-온'되어 채널 버스 라인과 연결되기 때문에, 종래 기술의 모두 '턴-온'되는 제2 트랜지스터들에 연결되는 채널 버스 라인과는 달리 채널 버스 라인의 특성이 열화됨이 없이 채널 버스 라인 상의 데이터 전송이 가능하다.



**【특허청구범위】****【청구항 1】**

행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 DQ 블록을 다수개 가지고  
상기 DQ 블록의 상기 메모리 셀 데이터들은 출력 드라이버를 통하여 데이터 입출력 라인  
으로 전송되는 반도체 메모리 장치에 있어서, 상기 출력 드라이버는

접지 전압에 연결되며, 선택되는 상기 DQ 블록의 상기 메모리 셀 데이터에 응답하  
는 제1 트랜지스터; 및

상기 DQ 블록을 선택하는 칼럼 사이클 신호 또는 상기 데이터 입출력 라인 특성에  
대한 캘리브레이션(calibration) 정보를 갖는 독출 제어 신호에 선택적으로 응답하여 상  
기 제1 트랜지스터를 상기 데이터 입출력 라인으로 연결시키는 제2 트랜지스터를 구비하  
며,

상기 제2 트랜지스터가 상기 칼럼 사이클 신호에 응답하는 경우, 상기 선택된 DQ  
블록의 상기 메모리 셀 데이터는 상기 제1 및 제2 트랜지스터를 통하여 상기 데이터 입  
출력 라인으로 전송하는 것을 특징으로 하는 출력 드라이버.

**【청구항 2】**

제1항에 있어서, 상기 제2 트랜지스터는

선택되지 않은 상기 DQ 블록들에 속하는 상기 출력 드라이버들의 상기 제2 트랜지  
스터들이 '턴-오프'되는 것을 특징으로 하는 출력 드라이버.

**【청구항 3】**

제1항에 있어서, 상기 출력 드라이버는

상기 제2 트랜지스터가 상기 독출 제어 신호에 응답하는 경우 상기 DQ 블록들 내 상기 출력 드라이버들의 상기 제2 트랜지스터가 동시에 활성화되되, 상기 선택되는 DQ 블록의 상기 메모리 셀 데이터는 이에 응답하는 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 통하여 상기 데이터 입출력 라인으로 전송하는 것을 특징으로 하는 출력 드라이버.

【청구항 4】

제1항에 있어서, 상기 출력 드라이버는

클럭 인에이블 신호에 응답하여 상기 칼럼 사이클 신호를 상기 제2 트랜지스터의 게이트로 전달할건지 아니면 상기 독출 제어 신호를 상기 제2 트랜지스터의 게이트로 전달할건지를 결정하는 믹스(MUX)부를 더 구비하는 것을 특징으로 하는 출력 드라이버.

【청구항 5】

제1항에 있어서, 상기 데이터 입출력 라인의 특성은

상기 데이터 입출력 라인의 신호 레벨을 맞추는 범위의  $I_{OL}$  특성, 온도 변화에 따른 상기 출력 드라이버의 슬루 레이트 조정을 위한 온도 특성( $T_{MIN/MAX}$ ) 인 것을 특징으로 하는 출력 드라이버.

【청구항 6】

행들 및 열들로 배열되는 복수개의 메모리 셀들을 갖는 DQ 블록을 다수개 가지고 상기 DQ 블록의 상기 메모리 셀 데이터들은 출력 드라이버들을 통하여 데이터 입출력 라인들로 전송되는 반도체 메모리 장치들을 장착하여, 상기 데이터 입출력 라인들에 공유되는 채널 버스 라인들을 갖는 메모리 모듈에 있어서,

어느 하나의 상기 반도체 메모리 장치에서는 상기 DQ 블록을 선택하는 칼럼 사이클 신호에 응답하여 활성화되는 상기 출력 드라이버를 통해 상기 선택된 DQ 블록의 상기 메모리 셀 데이터가 상기 데이터 입출력 라인을 거쳐 상기 채널 버스 라인으로 전달되  
 되, 상기 채널 버스 라인을 공유하는 나머지 상기 반도체 메모리 장치들 내 출력 드라이버들은 비활성화되며, 상기 출력 드라이버는

접지 전압에 연결되어 상기 메모리 셀 데이터에 응답하는 제1 트랜지스터; 및  
 상기 칼럼 사이클 신호 또는 상기 데이터 입출력 라인의 특성에 대한  
 캘리브레이션(calibration) 정보를 갖는 독출 제어 신호에 선택적으로 응답하여 상기 제1 트랜지스터를 상기 데이터 입출력 라인으로 연결시키는 제2 트랜지스터를 구비하는 것을 특징으로 하는 메모리 모듈.

#### 【청구항 7】

제6항에 있어서, 상기 출력 드라이버는

상기 제2 트랜지스터가 상기 독출 제어 신호에 응답하는 경우 상기 DQ 블록들 내  
 상기 출력 드라이버들의 상기 제2 트랜지스터가 동시에 활성화되되, 상기 선택되는 DQ  
 블록의 상기 메모리 셀 데이터는 이에 응답하는 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 통하여 상기 데이터 입출력 라인으로 전송하는 것을 특징으로 하는 메모리 모듈.

#### 【청구항 8】

제6항에 있어서, 상기 출력 드라이버는

클럭 인에이블 신호에 응답하여 상기 칼럼 사이클 신호를 상기 제2 트랜지스터의

게이트로 전달할건지 아니면 상기 독출 제어 신호를 상기 제2 트랜지스터의 게이트로 전달할건지를 결정하는 믹스(MUX)부를 더 구비하는 것을 특징으로 하는 메모리 모듈.

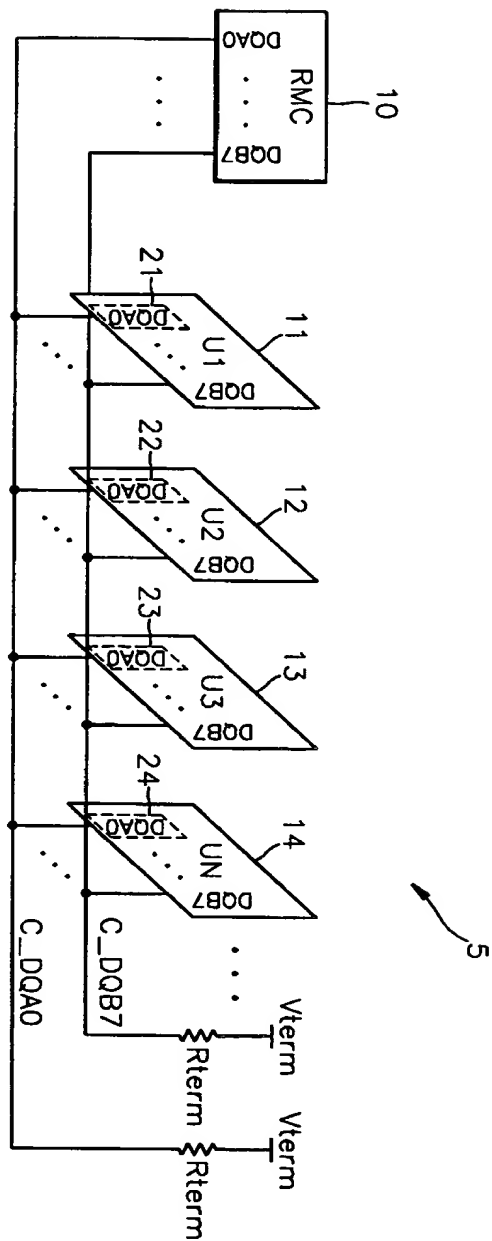
**【청구항 9】**

제6항에 있어서, 상기 데이터 입출력 라인의 특성은

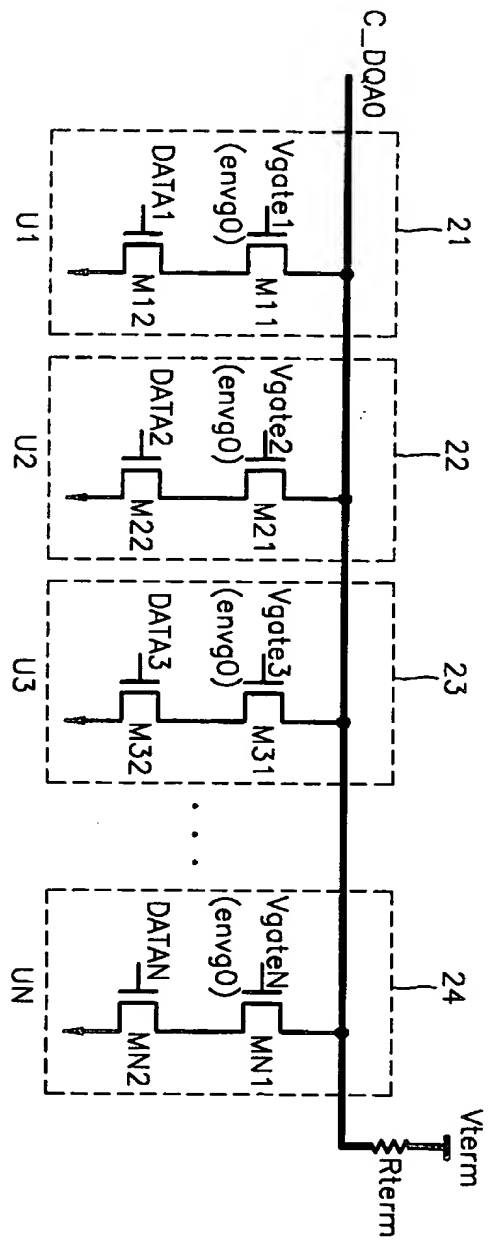
상기 데이터 입출력 라인의 신호 레벨을 맞추는 범위의  $I_{OL}$  특성, 온도 변화에 따른 상기 출력 드라이버의 슬루 레이트 조정을 위한 온도 특성( $T_{MIN/MAX}$ ) 인 것을 특징으로 하는 메모리 모듈.

【도면】

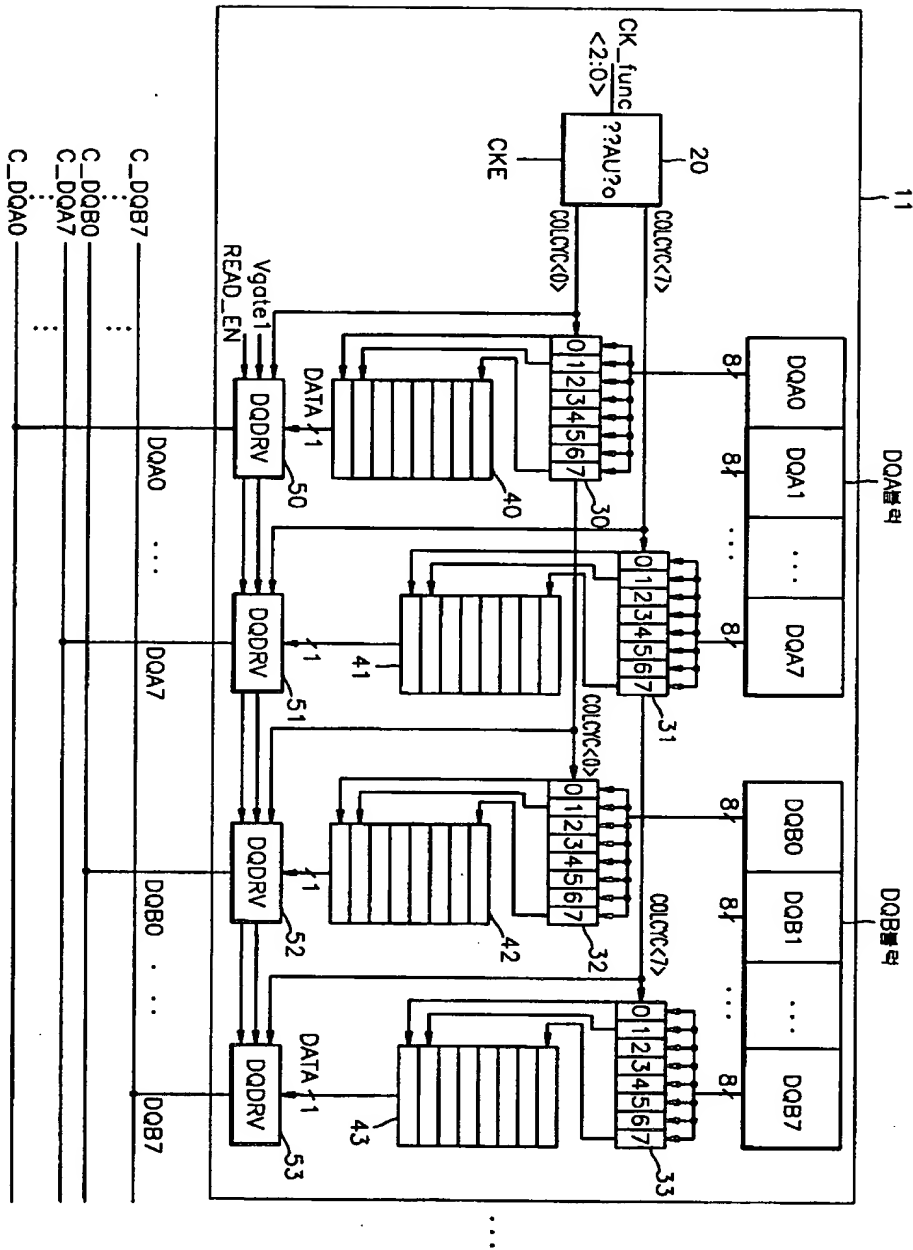
【도 1】



【도 2】



【도 3】



【도 4】

